

## ⑫ 公開特許公報(A) 平4-57295

⑮ Int.Cl.<sup>5</sup>  
G 11 C 16/06

識別記号 庁内整理番号

⑬ 公開 平成4年(1992)2月25日

9191-5L G 11 C 17/00 3 0 9 A

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 電氣的書込消去可能メモリ回路

⑯ 特 願 平2-162835

⑰ 出 願 平2(1990)6月22日

⑱ 発 明 者 大 橋 聡 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 山内 梅雄

## 明 細 書

## 1. 発明の名称

電氣的書込消去可能メモリ回路

## 2. 特許請求の範囲

1. それぞれ所定バイト数連続してデータの書き込みが可能な複数の電氣的書込消去可能メモリと、

これら複数の電氣的書込消去可能メモリからデータ書き込みの対象となるものを1つずつ巡回的に選択する電氣的書込消去可能メモリ選択手段と、

この電氣的書込消去可能メモリ選択手段により選択された電氣的書込消去可能メモリに対し、データを所定バイト数ずつ連続的に書き込むデータ書込手段

とを具備することを特徴とする電氣的書込消去可能メモリ回路。

2. 一定のバイト書込周期で所定バイト数連続的にデータの書き込みと消去が可能なページ書込モードをそれぞれ有する複数の電氣的書込消去可

能メモリチップと、

与えられたアドレス信号の一部をデコードして、前記複数の電氣的書込消去可能メモリチップを1つずつ順次巡回的に選択するためのチップセレクト信号を作成し出力するアドレスデコーダと、

このアドレスデコーダから出力されるチップセレクト信号の指定するそれぞれの電氣的書込消去可能メモリチップに対し、所定バイト数のデータをそれぞれ1ブロックとして順次連続的に書き込むデータブロック書込手段

とを具備することを特徴とする電氣的書込消去可能メモリ回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明はメモリ回路に係わり、例えばデジタル通信やデータ伝送用の通信機での各種バックアップに用いられる電氣的書込消去可能メモリ回路に関する。

〔従来の技術〕

ユーザがプログラム可能なリードオンリメモリ

(以下PROMという。)の1つとして電氣的書込消去可能メモリ(以下EEPROMという。)が多く使用されるに至っている。このEEPROMは、従来の消去可能PROM(EPROM)とは異なって消去に紫外線を必要とせず簡単に消去可能なので、例えばディジタル通信を行う通信機等における各種情報のバックアップに用いられるなど、今後その使用の増加が予想される。最近では書き込みや消去に必要な制御回路や高電圧発生回路が素子に内蔵され、5V単一電源で通常のスタティック・ランダムアクセスメモリ(SRAM)と同様のタイミングでの書き込みや消去が可能となっている。このEEPROMでは、素子内部での書き込み動作にはかなりの時間を要するので、現在ではバイト単位での書き込みや消去動作に加えて、複数バイト数連続したページ単位での書き込み・消去ができるようにして高速化が図られている。例えば、ある素子では1周期10msの間にページ当たり64バイトの連続したデータの書き込み・消去ができ、従来型に比べて数十倍の高速

処理が可能となっている。

(発明が解決しようとする課題)

このように、最近のEEPROMではページ単位の高速処理が可能になってきてはいるが、素子の特性上、書き込みの1周期の時間が経過するまでは次のページの書き込みを行うことができなかった。

第3図は、従来のEEPROMへの書込動作を表わしたものである。例えば、データ書込周期 $t_1$ が10ms、バイトごとの書込周期 $t_2$ が100 $\mu$ s、1ページ当たりのバイト数 $k$ が64バイトのEEPROMでメモリ回路を構成したとすると、1ページのデータ書込に実際に要する時間 $T_1$ は次の(1)式のようにになる。

$$\begin{aligned} T_1 &= t_1 \times k \\ &= 100 \text{ (}\mu\text{s)} \times 64 \text{ (バイト)} \\ &= 6.4 \text{ (ms)} \dots\dots (1) \end{aligned}$$

しかしながら、書き込みの1周期10msが経過するまでは次のページの書き込みをすることができないので、あるページの書き込みから次のペー

ジの書き込みまでには、次の(2)式のような待ち時間 $T_2$ が存在することとなる。

$$\begin{aligned} T_2 &= t_1 - T_1 \\ &= 3.6 \text{ (ms)} \dots\dots (2) \end{aligned}$$

従って、例えば256バイトのデータを書き込む場合の所要時間は、次の(3)式に示すようにデータ書込周期 $t_1$ に制約される。

$$\begin{aligned} &10 \text{ (ms)} \times (256 / 64) \\ &= 40 \text{ (ms)} \dots\dots (3) \end{aligned}$$

この中には本来無駄な時間である待ち時間 $T_2$ も含まれることとなる。

このように、従来のEEPROMを用いたメモリ回路では、実際の書込時間の他にかなり長い待ち時間 $T_2$ があったため、書き込みの効率が悪いという欠点があった。

そこで、本発明の目的は、待ち時間なく効率的なデータの書き込みを行うことのできる電氣的書込消去可能メモリ回路を提供することにある。

(課題を解決するための手段)

請求項1記載の発明では、(i)それぞれ所定

バイト数連続してデータの書き込みが可能な複数の電氣的書込消去可能メモリと、(ii)これら複数の電氣的書込消去可能メモリからデータ書き込みの対象となるものを1つずつ巡回的に選択する電氣的書込消去可能メモリ選択手段と、(iii)この電氣的書込消去可能メモリ選択手段により選択された電氣的書込消去可能メモリに対し、データを所定バイト数ずつ連続的に書き込むデータ書込手段とを電氣的書込消去可能メモリ回路に具備させる。

そして、請求項1記載の発明では、ページ書き込みが可能な電氣的書込消去可能メモリを複数用意し、これらのメモリを1つずつ順次巡回的に選択して、所定バイト数連続したそれぞれのデータブロックがさらに互いに連続するように書き込みを行うこととする。

請求項2記載の発明では、(i)一定のバイト書込周期で所定バイト数連続的にデータの書き込みと消去が可能なページ書込モードをそれぞれ有する複数の電氣的書込消去可能メモリチップと、

(ii) 与えられたアドレス信号の一部をデコードして、前記複数の電氣的書込消去可能メモリチップを1つずつ順次巡回的に選択するためのチップセレクト信号を作成し出力するアドレスデコーダと、(iii) このアドレスデコーダから出力されるチップセレクト信号の指定するそれぞれの電氣的書込消去可能メモリチップに対し、所定バイト数のデータをそれぞれ1ブロックとして順次連続的に書き込むデータブロック書込手段とを電氣的書込消去可能メモリ回路に具備させる。

そして、請求項2記載の発明では、アドレスデコーダでアドレス信号の一部をデコードすることによりチップセレクト信号を作成して複数の電氣的書込消去可能メモリチップを巡回的に選択し、その選択されたそれぞれのメモリチップに対し、連続した所定バイト数のデータブロック同士がさらに連続するように書き込みを行うこととする。

〔実施例〕

以下実施例につき本発明を詳細に説明する。

第1図は本発明の一実施例における電氣的書込

消去可能メモリ回路を要したものである。この回路には64バイト単位のページ書込と消去動作が可能な4つのEEPROM11~14が備えられ、それぞれのチップセレクト端子CSには、アドレスデコーダ15からチップセレクト信号16~19が入力されるようになっている。このアドレスデコーダ15には、メインシステムの図示しない中央処理装置(CPU)からアドレス線21、22を介してアドレス信号A<sub>0</sub>、A<sub>1</sub>が入力され、これを基にチップセレクト信号16~19のうちのいずれか1つが作成し出力する。ここでは、チップセレクト信号が“L”レベルになることにより、該当するチップがアクティブになるものとする。

また、EEPROM11~14には、それぞれ8ビット分のデータ端子群Dと15ビット分のアドレス端子群Aが備えられている。このうち、各EEPROMのデータ端子群Dには、図示しないメインシステムからのデータバス24が4分岐されたうえでパラレルに接続され、バックアップデータIO<sub>0</sub>~IO<sub>3</sub>のやりとりが行われる。一方、

各EEPROMのアドレス端子群Aには、CPUからのアドレスバス25が4分岐されたうえでパラレルに接続され、アドレス信号A<sub>0</sub>~A<sub>3</sub>、A<sub>4</sub>~A<sub>7</sub>が入力されるようになっている。

なお、本実施例では説明を簡略化するため、書き込み時に用いられるいわゆるライトイネーブル(書き込み許可)信号は省略してあるが、この信号によりデータバス24の方向性が切り換えられるようになっているのはもちろんである。

第2図と共に、以上のような構成の電氣的書込消去可能メモリ回路の動作を説明する。ここでは、従来例と同様、書込周期10ms、バイト書込周期100μsのEEPROMに対し、64バイト単位でのページ書込を行うものとして説明する。

CPUからアドレス制御線21、22を介してアドレス信号A<sub>0</sub>、A<sub>1</sub>が入力されると、アドレスデコーダ15はこれをデコードし、EEPROM11~14のうちの1つを指定するためのチップセレクト信号を作成する。例えば、アドレス信号A<sub>0</sub>、A<sub>1</sub>が共に“L”レベルのとき、アドレ

スデコーダ15はチップセレクト信号16を“L”レベルに変化させ、他を“H”レベルに保持する。これにより第1のEEPROM11が選択され、バイト書込周期100μsで64バイトのデータが連続して書き込まれる(第2図a、期間A)。これに要する時間T<sub>1</sub>は(1)式に示したように6.4msである。

次に、CPUがアドレス信号A<sub>0</sub>、A<sub>1</sub>をそれぞれ“L”、“H”レベルにセットすると、アドレスデコーダ15はチップセレクト信号17を“L”レベルに変化させ、他を“H”レベルに保持する。これにより第2のEEPROM12が選択され、前回同様バイト書込周期100μsで64バイトのデータが連続して書き込まれる(第2図b、期間B)。これに要する時間T<sub>2</sub>もまた6.4msである。

さらに、CPUはアドレス信号A<sub>0</sub>、A<sub>1</sub>を“H”、“L”レベル、さらに“H”、“H”レベルへと順次変化させることにより第3、第4のEEPROM13、14を選択し、それぞれに64

バイトずつデータの連続書き込みを行う(第2図c、d)。

第4のEEPROM14への書き込みが終了すると、CPUは再びアドレス信号A<sub>0</sub>、A<sub>1</sub>を共に“L”レベルにセットし、以下同様の書き込み動作を繰り返す。

このようにして、4つのEEPROMのうちの1つが巡回的に選択され、選択されたEEPROMに対し、64バイトのページ書込動作が待ち時間なく行われることとなる。

例えば256バイトのデータを書き込む場合、これに要する時間は次の(4)式に示すように25.6msとなる。

$$6.4 [ms] \times (256 / 64) \\ = 25.6 [ms] \dots (4)$$

従って、本実施例では(3)式に示した従来の所要時間に比べて約4割短い時間で書き込みが可能となる。

なお、本実施例ではバイト書込周期を100μsとしたが、この値がさらに小さいメモリチップを

使用すれば、時間短縮の効果が一層顕著となることはもちろんである。

また、本実施例では、4個のEEPROMを用いることとしたが、書込周期t<sub>w</sub>に比べてバイト書込周期t<sub>b</sub>がはるかに短い場合には、より多くのメモリチップを用いればよい。

〔発明の効果〕

以上説明したように本発明によれば、ページ書き込みが可能な電氣的書込消去可能メモリを複数用意し、これらのメモリを順次選択して所定バイト数連続したデータブロックがさらに互いに連続するように書き込むこととしたので、従来のように書込待ち時間の間待つことなく連続的にデータを書き込むことができる。従って、効率的なバックアップが可能となり、それに要する時間を短縮することができるという効果がある。

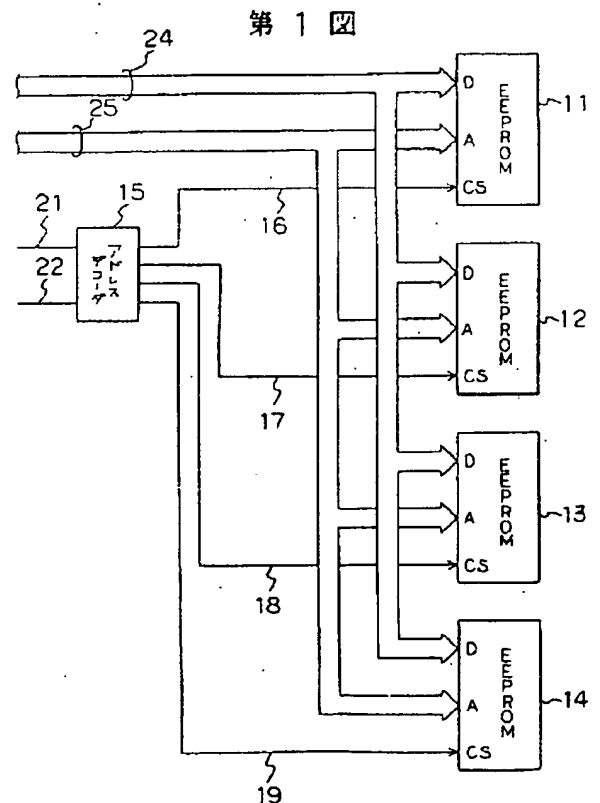
#### 4. 図面の簡単な説明

第1図、第2図は本発明の一実施例を説明するためのもので、このうち第1図は電氣的書込消去可能メモリ回路を示すブロック図、第2図は第1

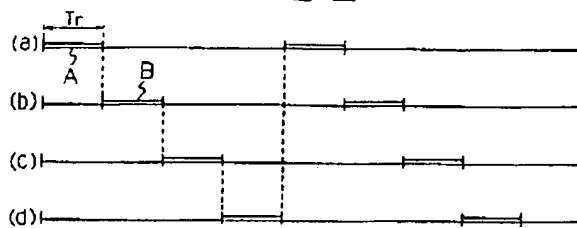
図の電氣的書込消去可能メモリ回路の動作を説明するためのタイミング図、第3図は従来の電氣的書込消去可能メモリ回路の動作を説明するためのタイミング図である。

出願人  
代理人

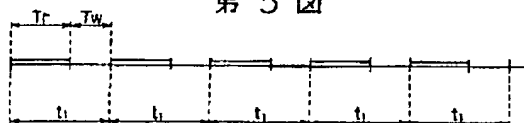
日本電気株式会社  
弁理士 山内 梅雄



第 2 図



第 3 図



(51) Int. Cl.<sup>5</sup> ID No. Office Control No. (43) Date Published February 25, 1992  
G 11 C 16/06

9191-5L G 11 C 17/00 309 A

Examination: Not requested yet Number of Claims: 2 (Total 5 pages)

(54) Invention Title: Electrically Writable and Erasable Memory Circuit

(21) Application Number: Hei 2-162835

(22) Application Date: June 22, 1990

(72) Inventor: Satoru Ohashi, NEC Corporation, 5-7-1 Shiba, Minato-ku, Tokyo

(71) Applicant: NEC Corporation, 5-7-1 Shiba, Minato-ku, Tokyo

(74) Agent: Toshio Yamauchi, Patent Agent

## SPECIFICATION

### 1. INVENTION TITLE:

Electrically Writable and Erasable  
Memory Circuit

### 2. WHAT IS CLAIMED IS:

1. An electrically writable and erasable  
memory circuit, comprising:

a plurality of electrically writable and  
erasable memories capable of respectively  
writing a predetermined number of bytes of  
data consecutively,

an electrically writable and erasable  
memory selection means for one-by-one  
cyclically selecting one of this plurality of  
electrically writable and erasable memories  
for data writing,

and a data writing means for  
consecutively writing the predetermined  
number of bytes of data to the electrically  
writable and erasable memory selected by this  
electrically writable and erasable memory  
selection means.

2. An electrically writable and erasable  
memory circuit, comprising:

a plurality of electrically writable and  
erasable memory chips each having a page  
writing mode capable of consecutively writing  
and erasing a predetermined number of bytes  
of data at a fixed byte writing cycle,

an address decoder that decodes part of a  
supplied address signal and one-by-one

sequentially and cyclically selects one of said  
plurality of electrically writable and erasable  
memory chips in order to create and output a  
chip select signal,

and a data block writing means for  
sequentially and consecutively writing a  
predetermined number of bytes of data as a  
respective single block to the respective  
electrically writable and erasable memory  
chip indicated by the chip select signal output  
from this address decoder.

### 3. DETAILED EXPLANATION OF THE INVENTION

#### Industrial Field of Application

The present invention pertains to an  
electrically writable and erasable memory  
circuit used in connection with memory  
circuits, for example in all sorts of back-ups in  
communicators for digital communication and  
data transmission.

#### Prior Art

The electrically writable and erasable  
memory ("EEPROM") is widely used as one  
type of user-programmable read-only memory  
("PROM"). Unlike the conventional erasable  
PROM (EPROM), the EEPROM can easily be  
erased and does not need ultraviolet rays for  
erasing, so in the future its use is expected to  
increase, for example in all sorts

of information back-up in communicators and so forth that perform digital communication. Recently the control circuits and high-voltage creation circuits needed for writing and erasing have been incorporated into elements, and it has become possible to write and erase with the same timing as an ordinary static random access memory (SRAM) with a simple 5V power source. This EEPROM needs a considerable amount of time for the writing operation inside an element, so at present in addition to writing or erasing operations that work in byte units, attempts are being made to accelerate this by making it possible to write or erase in page units that handle a plurality of bytes consecutively. For example, in a certain element it is possible to write and erase 64 bytes of consecutive data per page in one cycle of 10 ms. This enables processing at speeds that are more than 10 times faster than conventional models.

#### Problems the Invention Is to Solve

Thus the latest EEPROMs make it possible to do high-speed processing in page units, but because of element characteristics it is not possible to read the next page until one writing cycle has elapsed.

FIG. 3 shows the operation of writing to a conventional EEPROM. For example, when a memory circuit is constituted using an EEPROM with data write cycle  $t_1 = 10$  ms, write cycle per byte  $t_2 = 100$   $\mu$ s, and the number of bytes per one page  $k = 64$  bytes, the time  $T_r$  needed when actually writing one page of data is given by the following equation (1).

$$\begin{aligned} T_r &= t_2 \times k \\ &= 100 (\mu\text{s}) \times 64 (\text{bytes}) \\ &= 6.4 (\text{ms}) \dots \dots (1) \end{aligned}$$

Nevertheless, the next page cannot be written until the passage of one 10-ms writing cycle, so wait time  $T_w$  as indicated by the following equation (2) is present from writing a certain page until writing the next page.

$$\begin{aligned} T_w &= t_1 - T_r \\ &= 3.6 (\text{ms}) \dots \dots (2) \end{aligned}$$

Therefore, for example, the time needed when writing 256 bytes of data is constrained

by data write cycle  $t_1$ , as shown in the following equation (3).

$$\begin{aligned} &10 (\text{ms}) \times (256/64) \\ &= 40 (\text{ms}) \dots \dots (3) \end{aligned}$$

This includes the wait time  $T_w$ , which is essentially wasteful.

Thus a memory circuit that uses a conventional EEPROM has the wait time  $T_w$ , which is rather long, in addition to the actual write time, so there is a defect in that writing efficiency is bad.

Therefore the object of the present invention is to provide an electrically writable and erasable memory circuit that can perform data writing efficiently without wait time.

#### Means for Solving the Problems

In the invention described in claim 1, an electrically writable and erasable memory circuit is provided with: (i) a plurality of electrically writable and erasable memories capable of respectively writing a predetermined number of bytes of data consecutively, (ii) an electrically writable and erasable memory selection means for one-by-one cyclically selecting one of this plurality of electrically writable and erasable memories for data writing, and (iii) a data writing means for consecutively writing the predetermined number of bytes of data to the electrically writable and erasable memory selected by this electrically writable and erasable memory selection means.

The invention described in claim 1 uses a plurality of electrically writable and erasable memories capable of page writing, and one-by-one selects these memories sequentially and cyclically, and writes so that the respective data blocks with their consecutive predetermined number of bytes are together and consecutive.

In the invention described in claim 2, an electrically writable and erasable memory circuit is provided with: (i) a plurality of electrically writable and erasable memory chips each having a page writing mode capable of consecutively writing and erasing a predetermined number of bytes of data at a fixed byte writing cycle,

(ii) an address decoder that decodes part of a supplied address signal and one-by-one sequentially and cyclically selects one of the aforesaid plurality of electrically writable and erasable memory chips in order to create and output a chip select signal, and (iii) a data block writing means for sequentially and consecutively writing a predetermined number of bytes of data as a respective single block to the respective electrically writable and erasable memory chip indicated by the chip select signal output from this address decoder.

In the invention described in claim 2 a chip select signal is created by decoding part of the address signal with the address decoder and electrically writable and erasable memory chips are cyclically selected, and writing is performed such that consecutive data block sets of a predetermined number of bytes are consecutively written to the respectively selected memory chips.

#### Embodiment

Below, the present invention shall be explained in detail using embodiments.

FIG. 1 shows an electrically writable and erasable memory circuit in one embodiment of the present invention. This circuit is provided with four EEPROMs 11-14 that are capable of page writing and erasing operations in 64-byte units, and chip select signals 16-19 from an address decoder 15 are input to the respective chip select terminals CS. Address signals  $A_6$  and  $A_7$  are input to the address decoder 15 via address lines 21 and 22 from the main system's central processing device (CPU) that is not shown in the drawing, and any one of the chip select signals 16-19 is created based on this. In this case, things are arranged so that the relevant chip is activated when the chip select signal goes to "L" level.

Also, the EEPROMs 11-14 are provided with the respective 8-bit data terminal group D and the 15-bit address terminal group A. Of these, a data bus 24 from the main system not shown in the drawing branches into four parts and is then connected in parallel to each EEPROM's data terminal group D; it handles back-up data  $IO_6$ - $IO_7$ . On the other hand, an

address bus 25 from the CPU branches into four parts and is then connected in parallel to each EEPROM's address terminal group A; it inputs address signals  $A_0$ - $A_3$  and  $A_8$ - $A_{16}$ .

Furthermore, in order to simplify the explanation in this embodiment, the so-called write enable (write enable) signal used when writing is omitted, but of course the direction of the data bus 24 is switched using this signal.

The operation of an electrically writable and erasable memory circuit constituted as described above shall be described together with FIG. 2. In this case, as with a conventional example, a circuit shall be explained in which page writing is performed in 64-byte units to an EEPROM whose write cycle is 10 ms and whose byte write cycle is 100  $\mu$ s.

When address signals  $A_6$  and  $A_7$  are input from the CPU via address control lines 21 and 22, the address decoder 15 decodes this and creates a chip select signal to indicate one of EEPROMs 11-14. For example, if both address  $A_6$  and  $A_7$  are "L" level, the address decoder 15 changes the chip select signal 16 to "L" level and keeps the others at "H" level. Doing so selects the first EEPROM 11, and 64-byte data is consecutively written at a byte write cycle of 100  $\mu$ s (FIG. 2a, period A). The time  $T_1$  needed for this is 6.4 ms, as indicated by equation (1).

Next, when the CPU sets the address signals  $A_6$  and  $A_7$  as "L" and "H" levels respectively, the address decoder 15 changes the chip select signal 17 to "L" level and keeps the others at "H" level. Doing so selects the second EEPROM 12, and in the same manner as before, 64-byte data is consecutively written at a byte write cycle of 100  $\mu$ s (FIG. 2b, period B). The time  $T_1$  needed for this is also 6.4 ms.

In addition, the CPU selects the third and fourth EEPROMs 13 and 14 by sequentially changing the address signals  $A_6$  and  $A_7$  to "H"



and "L" level and then "H" and "H" level, and consecutively writing 64-byte data respectively (FIG. 2 c and d).

When writing to the fourth EEPROM 14 ends, the CPU once again sets both the address signals  $A_6$  and  $A_7$  to "L" level, and then repeats the same writing operation.

Thus one of four EEPROMs is cyclically selected, and 64-byte page writing is performed to the selected EEPROM with no wait time.

For example, when writing 256 bytes of data, the time needed for this is 25.6 ms as indicated by the following equation (4).

$$\begin{aligned} &6.4 \text{ (ms)} \times (256/64) \\ &= 25.6 \text{ (ms)} \dots \dots (4) \end{aligned}$$

Therefore in this embodiment it is possible to write in a time that is about 40% shorter than the time needed for prior art as indicated by equation (3).

Furthermore, in this embodiment the byte write cycle was 100  $\mu$ s, but if a memory chip is used in which this value is even smaller the time shortening effect becomes even more striking, of course.

Also, this embodiment used four EEPROMs, but it is also possible to use more memory chips if the byte write cycle  $t_2$  is much shorter than the write cycle  $t_1$ .

#### Effect of the Invention

As described above, the present invention uses a plurality of electrically writable and erasable memories capable of page writing, and writes so that these memories are sequentially and cyclically selected and data blocks of a predetermined number of consecutive bytes are consecutively written together, so it is possible to consecutively write data without the writing wait time as in prior art. Therefore efficient back-up becomes possible, and it is possible to shorten the time required therefor.

#### 4. BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 and FIG. 2 are for explaining one embodiment of the present invention. Of these, FIG. 1 is a block diagram showing an electrically writable and erasable memory circuit and FIG. 2 is a timing diagram for explaining the operation of the electrically writable and erasable memory circuit shown in FIG. 1. FIG. 3 is a timing diagram for explaining the operation of a conventional electrically writable and erasable memory circuit.

Applicant: NEC Corporation  
Agent: Toshio Yamauchi, Patent Agent

FIG. 1 [See original for diagram.]  
15 Address decoder

FIG. 2 [See original for diagram.]

FIG. 3 [See original for diagram.]